

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

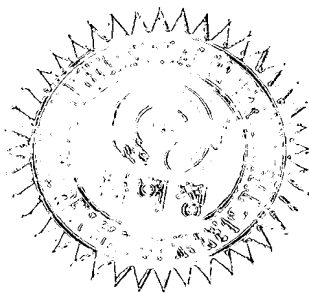
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0085869  
Application Number

출원년월일 : 2002년 12월 28일  
Date of Application DEC 28, 2002

출원인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO., LTD.



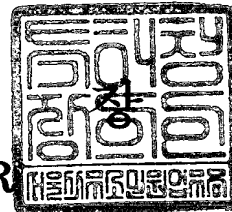
2003      년    08      월    28      일

특

허

청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.12.28
【발명의 명칭】	반도체 소자의 제조 방법
【발명의 영문명칭】	Method For Manufacturing Semiconductor Devices
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	김영철
【대리인코드】	9-1998-000040-3
【포괄위임등록번호】	2001-037703-7
【대리인】	
【성명】	김순영
【대리인코드】	9-1998-000131-1
【포괄위임등록번호】	2001-037700-5
【대리인】	
【성명】	이준서
【대리인코드】	9-1998-000463-0
【포괄위임등록번호】	2001-037697-8
【발명자】	
【성명의 국문표기】	이영성
【성명의 영문표기】	LEE, Young Seong
【주민등록번호】	701108-1148415
【우편번호】	431-080
【주소】	경기도 안양시 동안구 호계동 임광아파트 104-1301
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 김영철 (인) 대리인 김순영 (인) 대리인 이준서 (인)

**【수수료】**

**【기본출원료】** 17 면 29,000 원

**【가산출원료】** 0 면 0 원

**【우선권주장료】** 0 건 0 원

**【심사청구료】** 0 항 0 원

**【합계】** 29,000 원

**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체 소자의 제조 방법을 개시한다. 이에 의하면, 반도체 기판의 필드 영역에 트렌치를 형성시킨 후 하나의 동일한 반응 용기에서 TEOS의 흡착 반응과, 오존( $O_3$ )에서 분리된 산소( $O$ ) 원자를 촉매로 한 TEOS의 분해 및 재구성 반응을 독립적으로 반복 실시한다.

따라서, 본 발명은 미세한 트렌치에 보이드 생성 없이 산화막을 매립시킬 수가 있고 나아가 상기 트렌치를 매립한 산화막의 전기적 특성을 향상시킬 수 있고 반도체 소자의 전기적 특성을 향상시킬 수가 있다.

**【대표도】**

도 7

**【명세서】****【발명의 명칭】**

반도체 소자의 제조 방법{Method For Manufacturing Semiconductor Devices}

**【도면의 간단한 설명】**

도 1 내지 도 3은 종래 기술에 의한 쉘로우 트렌치 아이솔레이션(Shallow Trench Isolation) 공정의 순서를 나타낸 단면 공정도.

도 4 내지 도 7은 본 발명에 의한 반도체 소자의 제조 방법에 적용된 쉘로우 트렌치 아이솔레이션 공정의 순서를 나타낸 단면 공정도.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 더욱 상세하게는 트렌치에 보이드(void) 생성 없이 산화막을 매립시킴으로써 반도체 소자의 전기적 특성을 향상시키도록 한 반도체 소자의 제조 방법에 관한 것이다.
- <4> 일반적으로, 반도체 소자의 아이솔레이션(Isolation) 기술로는 질화막을 이용한 LOCOS(Local Oxidation of Silicon) 기술이 사용되어 왔다. LOCOS 기술의 단점을 보완하기 위한 새로운 아이솔레이션 기술들이 활발하게 개발되어 왔고 그 중에서 PBL(Poly Buffer LOCOS), R-LOCOS(Recessed LOCOS) 등의 기술이 널리 사

용되어 왔다. 이들 기술들은 공정이 복잡하고 실리콘 산화막에 의한 채널 영역의 잠식시키는 새 부리(Bird's Beak) 현상이 발생하는 것을 근본적으로 방지할 수 없으므로 반도체 소자의 고집적화에 한계가 있다. 더욱이, 액티브 영역의 실리콘 기판의 표면과 필드 영역의 산화막의 표면과의 단차가 심하게 발생하므로 이들 영역의 표면 단차를 줄여주기 위해 후속으로 평탄화 공정이 진행되어야 필요가 있다.

<5>       최근에 들어, 이를 개선한 쉘로우 트렌치 아이솔레이션(Shallow Trench Isolation: STI) 공정이 도입되기 시작하였다. 상기 쉘로우 트렌치 아이솔레이션 공정은 종래의 아이솔레이션 기술에 비하여 소자 분리 특성이 우수하고 점유 면적도 작기 때문에 반도체 소자의 고집적화에 매우 유리하다.

<6>       상기 STI공정은 반도체 기판의 필드 영역에 트렌치를 형성하고 갭 필링(Gap Filling) 공정에 의해 상기 트렌치 내에 산화막을 갭 필링(gap filling)시킨 후 상기 산화막을 화학기계연마(Chemical Mechanical Polishing: CMP)공정으로 연마하여 트렌치 내의 산화막과 반도체 기판을 평탄화시킨다. 따라서, 반도체 기판의 필드 영역에 필드산화막이 형성된다.

<7>       상기 트렌치를 갭 필링하는 산화막으로는 갭 필링 특성과 평탄화 특성이 양호한 O<sub>3</sub>-TEOS(Tetra-Ethyl-Ortho-Silicate) 상압 화학기상증착(Atmospheric Pressure Chemical Vapor Deposition: APCVD) 산화막, 고밀도 플라즈마 화학기상증착(High Density Plasma Chemical Vapor Deposition: HDP CVD) 산화막이 주로 사용되고 있다.

- <8> 종래의 셀로우 트렌치 아이솔레이션 공정을 설명하면, 도 1에 도시된 바와 같이, 먼저, 단결정 실리콘 기판과 같은 반도체 기판(10)의 일면, 예를 들어 전면(前面)의 전역에 산화막(11)과 질화막(13) 및 산화막(15)의 다층 절연막을 순차적으로 적층시킨다. 이때, 상기 산화막(11)의 두께가 25~200Å이고, 상기 질화막(13)의 두께가 1000~2000Å이다. 그런 다음, 사진식각공정을 이용하여 상기 반도체 기판(10)의 필드 영역 상에 산화막(11)과 질화막(13) 및 산화막(15)의 공통 개구부(16)를 형성시킨다. 이어서, 상기 산화막(15)을 식각 마스크층으로 이용하여 상기 반도체 기판(10)의 필드 영역을 3000~4000Å의 깊이만큼 식각시킴으로써 상기 반도체 기판(10)의 필드 영역에 트렌치(17)를 형성시킨다.
- <9> 도 2에 도시된 바와 같이, 상기 트렌치(17) 내의 반도체 기판(10)의 식각면에 절연막, 예를 들어 산화막(19)을 열산화공정에 의해 300~400Å의 두께로 성장시킨다. 이는 상기 트렌치(17)의 반도체 기판(10)의 식각면에 존재하는 손상된 실리콘 격자를 치유하고 또한, 상기 트렌치(17) 내에 도 3의 산화막(21)이 매립되었을 때 상기 산화막(21)에서의 누설 전류를 억제시켜주기 위함이다.
- <10> 도 3에 도시된 바와 같이,  $O_3$ -TEOS 화학기상증착공정을 이용하여 산화막(21)을 상기 트렌치(17)의 매립에 필요한 두께, 예를 들어 5000~6000Å의 두께로 적층시킨다. 물론, 상기  $O_3$ -TEOS 화학기상증착공정 대신에 고밀도 화학기상증착 공정이나 저압 화학기상증착공정을 사용할 수도 있다.
- <11> 이후, 도면에 도시하지 않았으나 통상적인 화학기계연마공정을 이용하여 상기 산화막(19)을 평탄화시키고 상기 산화막(15)과 상기 질화막(13) 및 상기 산화

막(11)을 모두 식각시킴으로써 상기 반도체 기판(10)의 액티브 영역의 표면을 노출시킴으로서 셀로우 트렌치 아이솔레이션 공정을 완료한다.

【발명이 이루고자 하는 기술적 과제】

<12> 그런데, 종래에는  $O_3$ -TEOS 화학기상증착공정이 500~600℃의 온도와  $O_3$  분위기의 반응 용기에 TEOS를 주입시킴으로써  $O_3$ 을 촉매로 하여 상기 TEOS를 분해시키고 그 분해 결과물의 선택적 표면 적층을 통하여 상기 트렌치(17)에 산화막(21)을 매립시킨다.

<13> 그러나, 종래의  $O_3$ -TEOS 화학기상증착공정이 500~600℃의 고온과 200torr 이상의 고압 또는 상압에서 진행되기 때문에 상기  $O_3$  분위기에서는 표면 반응과 기상 반응이 동시에 발생한다. 그 결과, 종래의  $O_3$ -TEOS 화학기상증착공정은 갭 필링 능력이 우수하지 못하다. 이로써, 상기 트렌치의 폭이 더욱 미세화함에 따라 상기 트렌치에 빈 공간인 보이드(void)의 생성 없이 산화막을 매립시키기가 점차 어려워진다.

<14> 한편, 상기 고밀도 화학기상증착공정은 플라즈마 증착이나 스퍼터링을 이용한 산화막의 식각을 통하여 트렌치에 산화막을 매립시키는데, 증착 및 식각 속도의 균형 및 제반 조건의 조합을 통하여 상기  $O_3$ -TEOS 화학기상증착공정보다 우수한 매립 특성을 나타낸다. 그러나, 상기 고밀도 화학기상증착공정은 상기 트렌치의 선평이 미세화함에 따라 상기 트렌치의 형상에 크게 의존하는 매립 특성을 나타내고 플라즈마 손상의 위험성을 갖고 있다.



- <15> 이와 같이, 종래의 방법은 상기 트렌치의 선평이 미세화함에 따라 상기 트렌치의 매립에 한계에 직면하고 있다.
- <16> 따라서, 본 발명은 미세한 선평의 트렌치에 보이드의 생성 없이 산화막을 매립하도록 하는데 있다.
- <17> 본 발명의 다른 목적은 트렌치내의 산화막의 누설 전류를 저감시킴으로써 반도체 소자의 전기적 특성을 향상시키는데 있다.

#### 【발명의 구성 및 작용】

- <18> 이와 같은 목적을 달성하기 위한 본 발명에 의한 반도체 소자의 제조 방법은
- 은
- <19> 상기 반도체 기판 상에 절연막을 적층시킨 후 상기 반도체 기판의 필드 영역을 노출시키는 상기 절연막의 개구부를 형성시키는 단계; 상기 개구부 내의 노출된 영역의 반도체 기판에 트렌치를 형성시키는 단계; TEOS의 흡착 반응과,  $O_3$ 를 이용한 TEOS의 분해/재구성 반응을 독립적으로 실시하여 상기 반도체 기판의 표면에 얇은 두께의 산화막을 적층시키는 단계; 및 상기 산화막을 반복 적층시킴으로써 상기 트렌치를 상기 산화막으로 매립시키는 단계를 포함하는 것을 특징으로 한다.
- <20> 바람직하게는, 상기 산화막을 적층시키는 단계는
- <21> 상기 TEOS를 500~600℃의 고온과 100torr 미만의 저압 상태인 반응 용기에 유입시킴으로써 상기 반도체 기판에 흡착시키는 단계; 상기 TEOS의 유입을 중단

시키고 상기 반응 용기에 잔존하는 상기 TEOS를 배기시키는 단계; 및 상기 반응 용기의 압력을 100torr 이상의 베이스 압력으로 만들어 준 후 상기  $O_3$ 를 상기 반응 용기에 유입시킴으로써 상기 흡착된 TEOS를 분해, 재구성시켜 상기 반도체 기판에 상기 산화막을 적층시키는 단계를 포함할 수 있다.

<22> 바람직하게는, 상기 TEOS의 흡착 이전에 상기 반도체 기판을 세정시킨 후 상기 반응 용기에서 상기 반도체 기판을 열처리시킬 수가 있다.

<23> 바람직하게는, 상기 반도체 기판을 HCl 용액에 의해 세정시킨다.

<24> 바람직하게는, 상기 반도체 기판을 상기 반응 용기에서  $O_3$  분위기로 열처리시킬 수가 있다.

<25> 바람직하게는, 상기 반도체 기판을 500~600℃의 온도에서 열처리시킬 수가 있다.

<26> 이하, 본 발명에 의한 반도체 소자의 제조 방법을 첨부된 도면을 참조하여 상세히 설명하기로 한다. 종래의 부분과 동일 구성 및 동일 작용의 부분에는 동일 부호를 부여한다.

<27> 도 4를 참조하면, 먼저, 단결정 실리콘 기판과 같은 반도체 기판(10)의 일면, 예를 들어 전면(前面)의 전역에 산화막(11)과 질화막(13) 및 산화막(15)의 다층 절연막을 순차적으로 적층시킨다. 이때, 상기 산화막(11)의 두께가 25~200 Å이고, 상기 질화막(13)의 두께가 1000~2000 Å이다. 그런 다음, 사진식각공정을 이용하여 상기 반도체 기판(10)의 필드 영역 상에 산화막(11)과 질화막(13) 및

산화막(15)의 공통 개구부(16)를 형성시킨다. 이어서, 상기 산화막(15)을 식각 마스크층으로 이용하여 상기 반도체 기판(10)의 필드 영역을 3000~4000Å의 깊이 만큼 식각시킴으로써 상기 반도체 기판(10)의 필드 영역에 트렌치(17)를 형성시킨다.

<28>        그 다음, 상기 트렌치(17) 내의 반도체 기판(10)의 식각면에 절연막, 예를 들어 산화막(19)을 열산화공정에 의해 300~400Å의 두께로 성장시킨다. 이는 상기 트렌치(17)의 반도체 기판(10)의 식각면에 존재하는 손상된 실리콘 격자를 치유하고 또한, 상기 트렌치(17) 내에 도 6의 산화막(23)이 매립되었을 때 상기 산화막(21)에서의 누설 전류를 억제시켜주기 위함이다.

<29>        도 5를 참조하면, 이후, 예를 들어 HCl 용액을 이용한 습식 세정에 의해 상기 반도체 기판(10)에 잔존할 가능성이 높은 유기물을 제거시킨다. 이는 도 6의 산화막(23)의 적층은 표면 반응을 통하여 이루어지므로 상기 산화막(23)의 적층 이전의 트렌치(17)의 표면 상태가 화학적으로 균일하게 하기 위함이다.

<30>        도 6을 참조하면, 그런 다음, 하나의 동일 반응 용기(도시 안됨), 예를 반응 챔버에 상기 결과의 반도체 기판(10)을 장착하여 놓는다. 이어서, 상기 반도체 기판(10)을 약 1분간  $O_3$  분위기에서 열처리시킨다. 이때, 상기 반응 용기의 온도는 산화막(23)의 적층 온도와 동일하게 설정하는 것이 바람직하다. 상기 산화막(23)의 적층 온도는 500~600℃이다.

<31>        이후, 상기 트렌치(17)에 산화막(23)을 매립시키기 위해 상기 산화막(23)을 구성하는 원자층의 산화막(21)을 적층시킨다. 이러한 과정을 반복 실시함으로써 상기 트렌치(17)에 다층의 산화막(21)을 매립시킨다.

<32>        이를 좀 더 상세히 언급하면, 상기 반응 용기의 온도를 500~600℃의 고온으로 설정하고 상기 반응 용기 내의 압력을 10torr 미만의 저압으로 유지한 상태에서 캐리어(carrier) 가스로서 He과 같은 불활성 가스를 이용하여 TEOS를 상기 반응 용기로 유입시킨다. 이때, 상기 TEOS는 종래와 달리 기상 반응을 일으키지 않으므로 분해되지 않은 상태로 상기 반도체 기판(10)에 도달하여 표면 반응을 일으킨다. 따라서, 상기 TEOS가 상기 산화막(19)의 Si-O-H 결합이 존재하는 지점에 선택적으로 흡착된다. 상기 TEOS의 흡착 확률은 상기 트렌치(17)의 표면의 모든 지점에서 동일하므로 증착율이 균일하다. 한편, 상기 트렌치(17)의 표면에 흡착되지 않은 TEOS는 상기 반응 용기의 외부로 배기된다.

<33>        이어서, 상기 TEOS의 유입을 중단시키고 상기 반응 용기의 압력을 베이스 압력으로 만들어준 후 상기 반응 용기에 O<sub>3</sub>을 유입시킨다. 이때, 상기 O<sub>3</sub>의 자유 이동 및 상기 트렌치(17)의 저면까지의 도달을 위해 상기 반응 용기의 압력을 10torr 이상으로 상승시킨다. 이에 따라, 상기 O<sub>3</sub>로부터 분해된 산소(O) 원자는 상기 흡착된 TEOS의 분해를 유도하고 상기 분해된 결과물이 재구성하여 Si-O-Si 또는 Si-O-H 결합을 형성한다. 따라서, 산화막(21)이 성장이 일어난다. 상기 산화막(21)은 수 Å의 두께를 갖는다.

<34>        이후, 상기 O<sub>3</sub>의 유입을 중단시키고 상기 반응 용기의 압력을 다시 베이스 압력을 만들어준다.

<35>        도 7을 참조하면, 도 6의 단위 증착 사이클을 반복 진행함으로써 상기 트렌치(17)에 상기 산화막(21)을 여러층 적층시켜 트렌치(17)에 산화막(23)을 매립시킬 수가 있다. 여기서, 상기 산화막(23)의 적층은 TEOS의 표면 흡착과 분해 반응

의 반복에 의해 이루어지고, 상기 TEOS의 흡착 확률은 상기 트렌치(17)의 모든 지점에서 동일하므로 100%에 가까운 스텝 커버리지가 구현될 수 있다.

<36> 따라서, 본 발명은 미세한 선폭의 트렌치에 보이드의 생성 없이 상기 트렌치에 산화막을 완전히 매립시킬 수가 있다.

<37> 이후, 도면에 도시하지 않았으나 통상적인 화학기계연마공정을 이용하여 상기 산화막(23)을 평탄화시키고 상기 산화막(23)을 열처리공정에 의해 치밀화시키고, 상기 산화막(15)과 상기 질화막(13) 및 상기 산화막(11)을 모두 식각시킴으로써 상기 반도체 기판(10)의 액티브 영역의 표면을 노출시킴으로써 셀로우 트렌치 아이솔레이션 공정을 완료한다.

<38> 따라서, 본 발명은 반도체 기판에 수 Å의 산화막을 여러층 적층시키므로 미세한 선폭의 트렌치에 보이드 생성 없이 산화막을 매립시킬 수가 있다. 이는 상기 트렌치를 매립시키는 산화막의 전기적 특성을 향상시키고 나아가 반도체 소자의 전기적 특성을 향상시킬 수 있다.

#### 【발명의 효과】

<39> 이상에서 상세히 설명한 바와 같이, 본 발명에 의한 반도체 소자의 제조 방법은 반도체 기판의 필드 영역에 트렌치를 형성시킨 후 하나의 동일한 반응 용기에서 TEOS의 흡착 반응과,  $O_3$ 에서 분리된 O 원자를 촉매로 한 TEOS의 분해 및 재구성 반응을 독립적으로 반복 실시한다.

<40> 따라서, 본 발명은 기존의  $O_3$ -TEOS 화학기상증착공정이나 고밀도 플라즈마 화학기상증착공정을 적용하기 어려운 미세한 트렌치에 보이드 생성 없이 산화막을 매립시킬 수가 있고 나아가 반도체 소자의 전기적 특성을 향상시킬 수가 있다.

<41> 한편, 본 발명은 도시된 도면과 상세한 설명에 기술된 내용에 한정하지 않으며 본 발명의 사상을 벗어나지 않는 범위 내에서 다양한 형태의 변형도 가능함은 이 분야에 통상의 지식을 가진 자에게는 자명한 사실이다.

**【특허청구범위】****【청구항 1】**

상기 반도체 기판 상에 절연막을 적층시킨 후 상기 반도체 기판의 필드 영역을 노출시키는 상기 절연막의 개구부를 형성시키는 단계;

상기 개구부 내의 노출된 영역의 반도체 기판에 트렌치를 형성시키는 단계;

TEOS의 흡착 반응과,  $O_3$ 를 이용한 TEOS의 분해/재구성 반응을 독립적으로 실시하여 상기 반도체 기판의 표면에 얇은 두께의 산화막을 적층시키는 단계; 및

상기 산화막을 반복 적층시킴으로써 상기 트렌치를 상기 산화막으로 매립시키는 단계를 포함하는 반도체 소자의 제조 방법.

**【청구항 2】**

제 1 항에 있어서, 상기 산화막을 적층시키는 단계는

상기 TEOS를 500~600℃의 고온과 100torr 미만의 저압 상태인 반응 용기에 유입시킴으로써 상기 반도체 기판에 흡착시키는 단계;

상기 TEOS의 유입을 중단시키고 상기 반응 용기에 잔존하는 상기 TEOS를 배기시키는 단계; 및

상기 반응 용기의 압력을 100torr 이상의 베이스 압력으로 만들어 준 후 상기  $O_3$ 를 상기 반응 용기에 유입시킴으로써 상기 흡착된 TEOS를 분해, 재구성시켜

상기 반도체 기판에 상기 산화막을 적층시키는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 3】**

제 2 항에 있어서, 상기 TEOS의 흡착 이전에 상기 반도체 기판을 세정시킨 후 상기 반응 용기에서 상기 반도체 기판을 열처리시키는 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 4】**

제 3 항에 있어서, 상기 반도체 기판을 HCl 용액에 의해 세정시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 5】**

제 4 항에 있어서, 상기 반도체 기판을 상기 반응 용기에서  $O_3$  분위기로 열처리시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

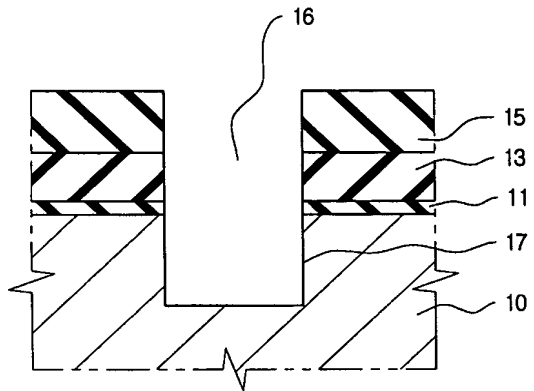
**【청구항 6】**

제 5 항에 있어서, 상기 반도체 기판을 500~600℃의 온도에서 열처리시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

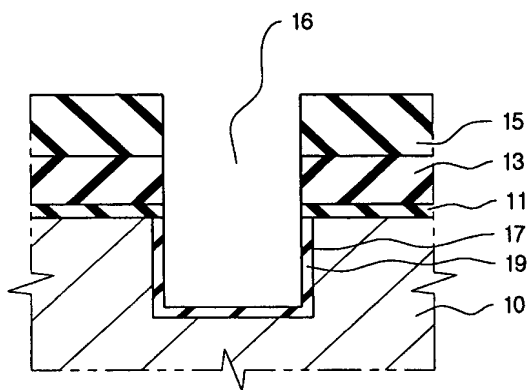


【도면】

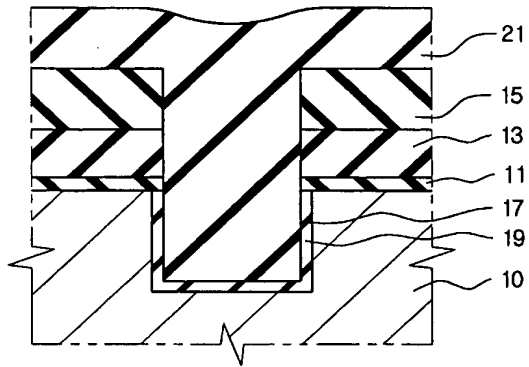
【도 1】



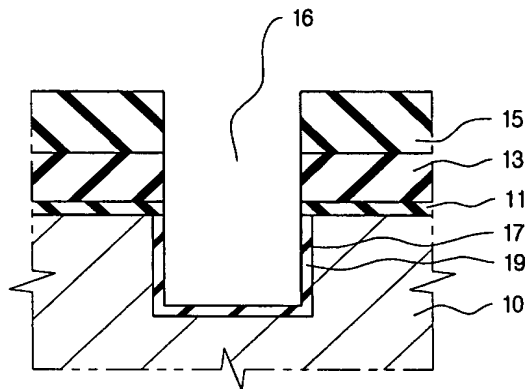
【도 2】



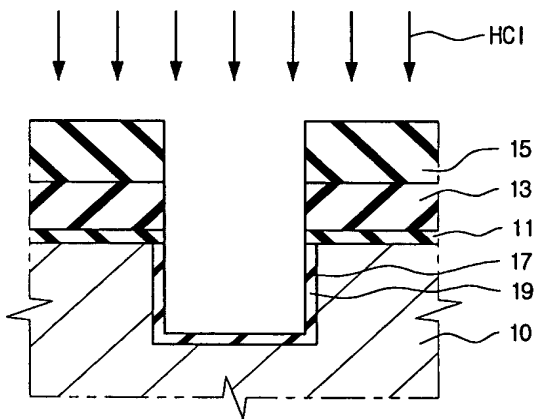
【도 3】



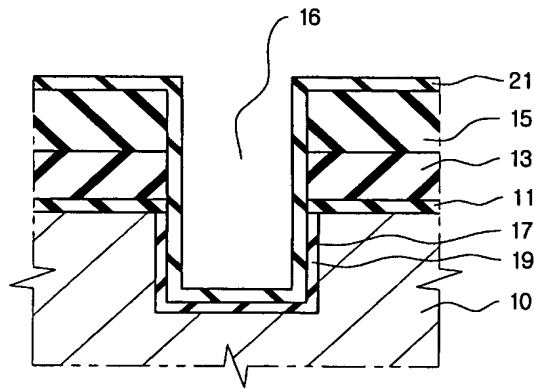
【도 4】



【도 5】



【도 6】



【도 7】

